

Исследование влияния структуры коммутатора общего кэша на эффективность подсистемы памяти многоядерного микропроцессора.

Р.В. Деменко, А.С. Кожин

Московский физико-технический институт (государственный университет)

ЗАО «МЦСТ»

Увеличение числа размещаемых на кристалле процессорных ядер является актуальной тенденцией в стремлении к наращиванию вычислительной мощности современных микропроцессоров. Вместе с тем возрастает сложность подсистем памяти, на сегодняшний день многоядерные микропроцессоры имеют общий кэш второго или третьего уровня для оптимизации работы с общими данными. Рост производительности микропроцессора напрямую зависит от эффективности системы, обеспечивающей взаимодействие процессорных ядер с общим кэшем и между собой.

При разработке восьмиядерного микропроцессора «Эльбрус-4С+» проведено исследование, в котором рассмотрены варианты реализации распределенного коммутатора, связывающего восемь процессорных ядер и восемь банков памяти кэша третьего уровня.

Рассматриваемая система разбивается на четыре коммутатора, каждый из которых связывает два ядра с двумя банками памяти. Исследуются две схемы возможного соединения коммутаторов: «каждый с каждым» и «кольцо».

Диагональные связи в схеме коммутации «каждый с каждым» в силу технологических особенностей имеют относительно большую длину и усложняют трассировку. Отказ от этих связей и использование схемы «кольцо» позволяет сэкономить до половины площади кристалла, необходимой для реализации связей коммутирующей системы.

В процессе исследования получена количественная оценка потерь в эффективности коммутации, вызванных отказом от диагональных связей: пропускная способность коммутирующей системы уменьшается на 17% (при пиковых нагрузках), среднее время доступа от ядра к банку памяти увеличивается на 11%, выигрыш по выделяемой на связях коммутирующей системы мощности составляет 41%. Данные указаны относительно параметров схемы «каждый с каждым».

Также были предложены модификации коммутаторов для «кольцевой» схемы коммутации, позволяющие сократить потери: по пропускной способности до 6%, по среднему времени доступа до 7%. Занимаемая на кристалле площадь при этом увеличивается незначительно.

В результате исследования были разработаны потактовые модели коммутирующих систем, построенных по схемам «каждый с каждым» и «кольцо», проведены моделирование и сравнительный анализ обоих вариантов, получены количественные оценки влияния выбора схемы коммутации на пропускную способность коммутирующей системы, среднее время доступа от процессорных ядер к банкам памяти, необходимую для связей коммутирующей системы площадь кристалла, а также выделяемую мощность. Были предложены и смоделированы модификации, позволяющие увеличить эффективность коммутирующей системы. Оценено влияние модификаций на указанные выше параметры системы.

Литература

1. Кожин А.С., Сахин Ю.Х. Коммутация соединений процессорных ядер с общим кэшем третьего уровня микропроцессора «Эльбрус-4С+»
2. Кожин А.С., Кожин Е.С., Костенко В.О., Лавров А.В. Кэш третьего уровня и поддержка когерентности микропроцессора «Эльбрус-4С+». – «Вопросы радиоэлектроники», сер. ЭВТ, 2013, вып.3
3. Исаев М.В. Основные тенденции в архитектуре высокопроизводительных многоядерных процессоров. – «Вопросы радиоэлектроники», сер. ЭВТ, 2011, вып.3