

Московский физико-технический институт  
Факультет радиотехники и кибернетики

# Физическое проектирование блока 2D-графики в составе системы на кристалле «Процессор-2»

Выполнил: Бебех Илья, 013 гр.  
Научный руководитель: Буленков С.В.

# Цель работы

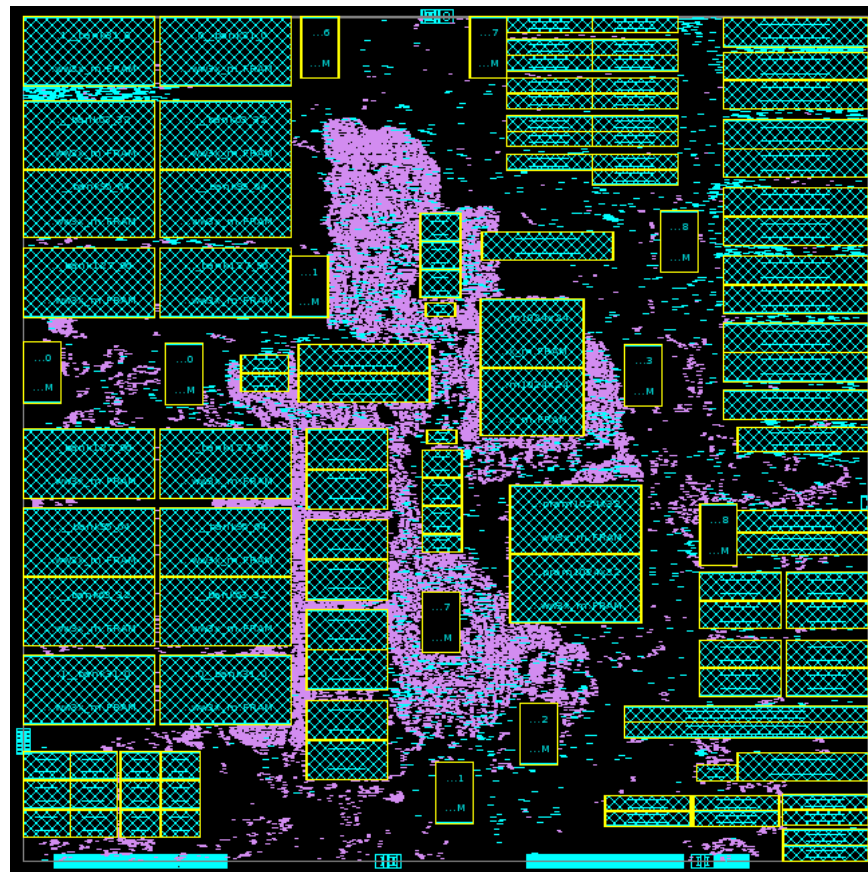
- Осуществление физического проектирования блока обработки 2D-графики MGA2 по технологии 40нм
- Исправление DRC ошибок
- Оптимизация тайминга

# Этапы физ. проектирования

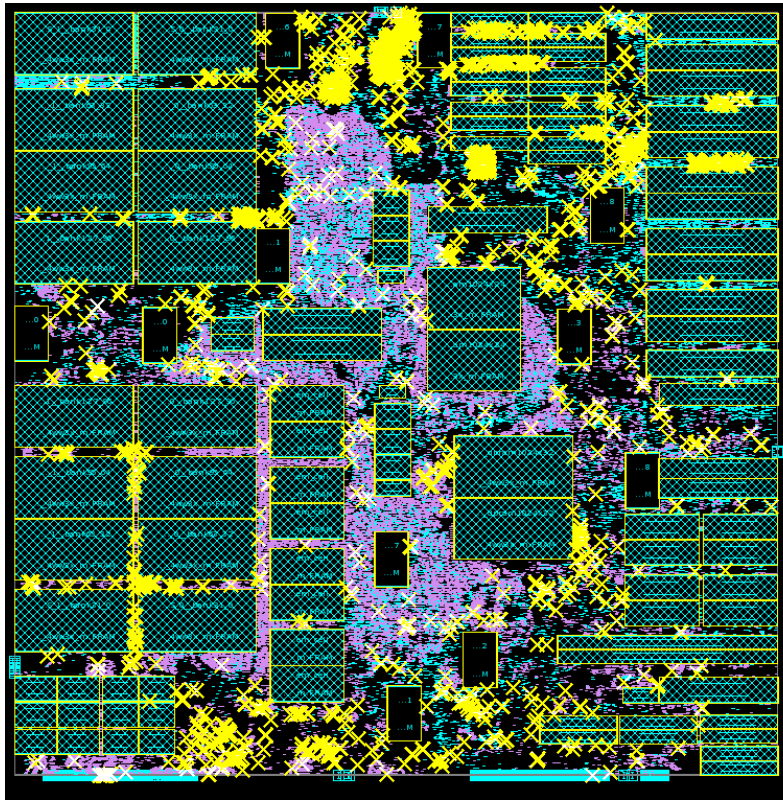
- Логический синтез
- Создание плана размещения (floorplan)
- Топологический синтез
- Планирование шин питания
- Размещение элементов
- Построение деревьев синхросигналов
- Трассировка сигнальных проводов
- Формальная верификация
- Анализ блока и подготовка к отправке на фабрику

# Первый прогон маршрута

- Частота работы  
985 МГц
- Энергопотребление  
383.72 мВт
- Утилизация 65.41%
- Количество DRC  
ошибок: 6994



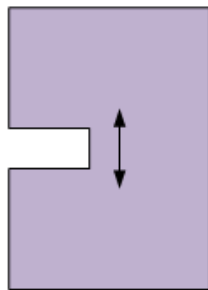
# Design Rule Checking



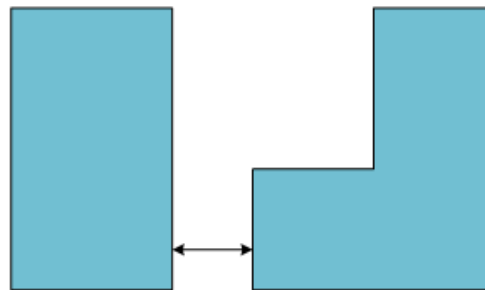
DRC ошибка

- Выявляет ошибки связанные с физической реализацией блока на кристалле
- Нормы проектирования устанавливаются фабрикой
- Учитывают изменчивость производственного процесса

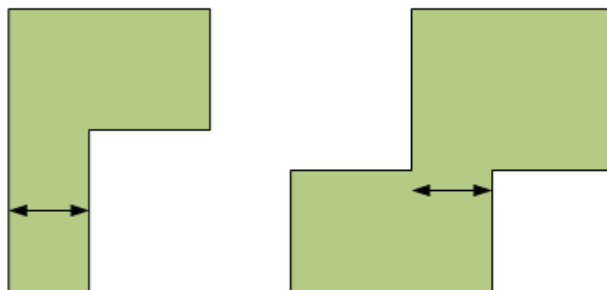
# Виды DRC ошибок



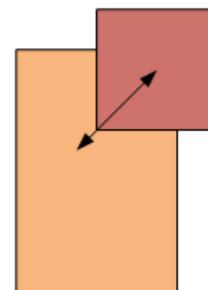
Edge  
Violation



Spacing Violation



Width Violations



Encapsulation  
Violation

# Плотность трассировки

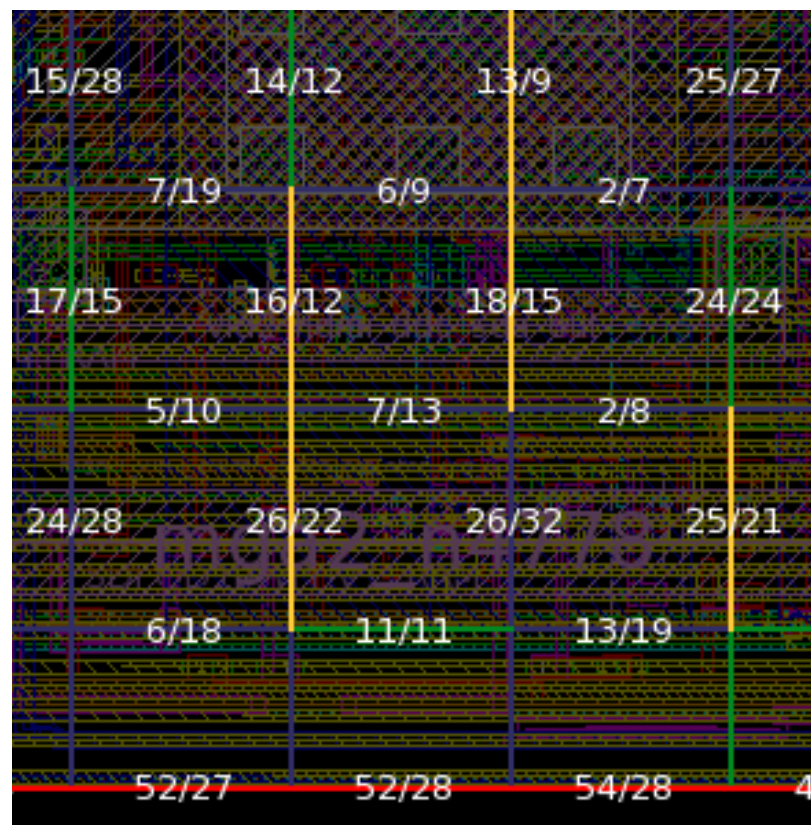
- Размеры блока недостаточны для приемлемой трассировки

17 / 15

Количество проведенных соединений      Допустимое количество соединений

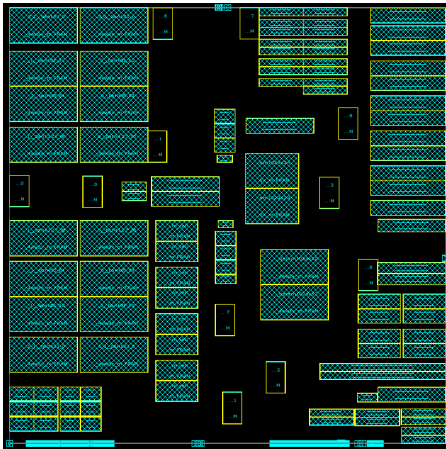
 Полное заполнение

 Превышение

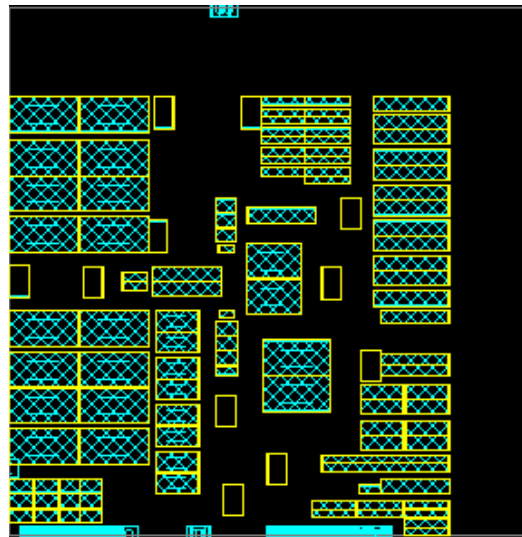


# Оптимизация плана размещения

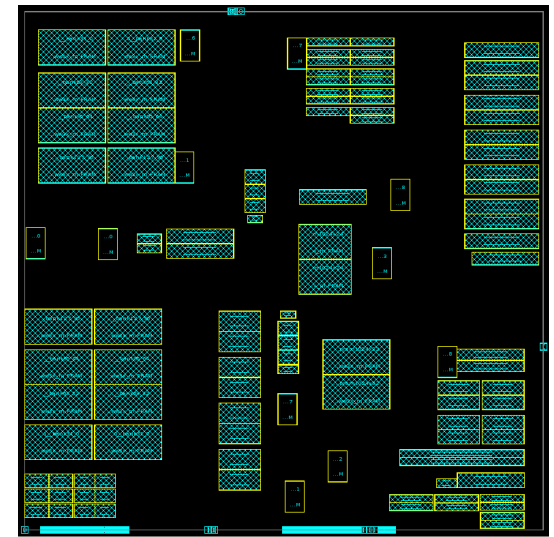
Принято решение увеличить размер блока (floorplan) на 20%



Floorplan 1  
(исходное  
размещение)



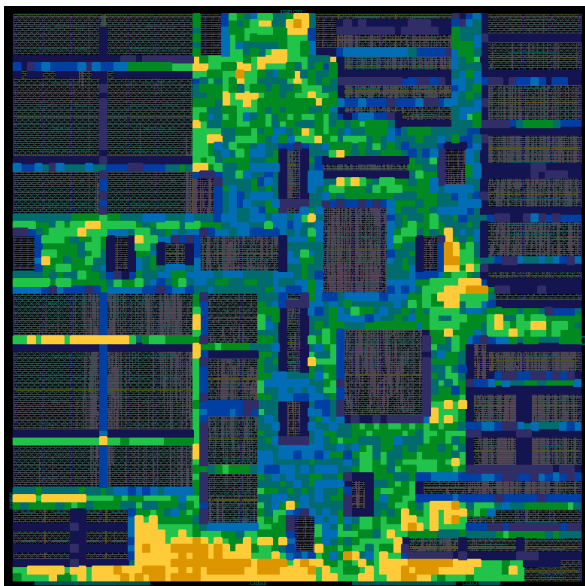
Промежуточное  
размещение  
(неуд. тайминг  
из-за неоптим.  
размещения  
макроблоков)



Floorplan 2  
(оптимизированное  
расположение  
макроблоков  
компенсирует потери в  
тайминге)

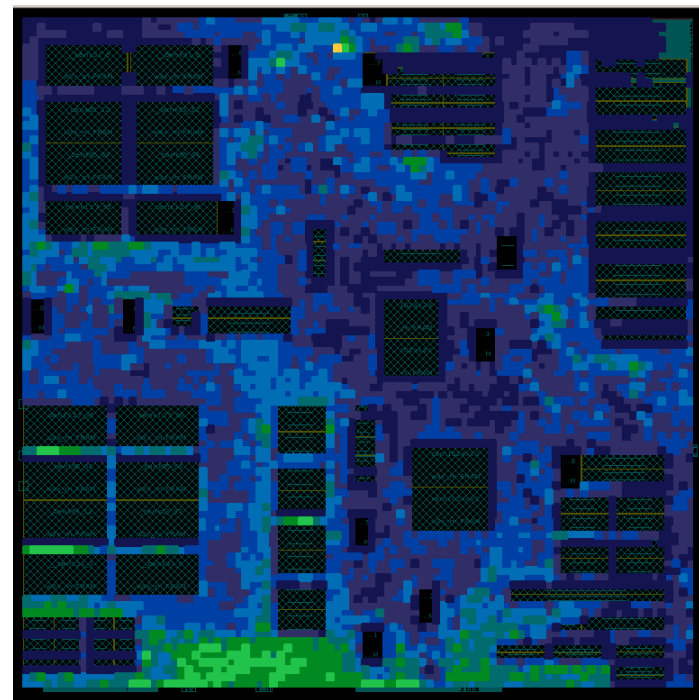
# Оптимизация плана размещения

Плотность ячеек и трассировки



Floorplan 1

Недопустимая плотность



Floorplan 2

Приемлемая плотность

# Результаты

## DRC ошибки

Стадии	Floorplan 1	Floorplan 2
Синтез	0	0
Размещение (place_opt)	0	0
Трассировка (route_opt)	6994	493

- Уменьшение количества DRC ошибок на порядок
- Дальнейшее исправление проводилось программными и ручными средствами и количество ошибок сведено к нулю

# Результаты

## Энергопотребление (мВт)

Стадии	Floorplan 1		Floorplan 2	
	Утечка	Общее	Утечка	Общее
Синтез	92.80	374.91	92.80	374.91
Размещение (place_opt)	93.60	450.61	96.33	473.84
Трассировка (route_opt)	108.38	383.72	104.96	510.08

## Частота работы (МГц)

Стадии	Floorplan 1	Floorplan 2
Синтез	1000	1000
Размещение (place_opt)	1000	1000
Трассировка (route_opt)	985	989

# Результаты

- Выполнено физическое проектирование блока 2D-графики
- Количество DRC нарушений сведено к нулю
- Компенсированы потери во временных характеристиках блока